

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
⑪ 公開特許公報 (A) 平4-172880

⑫ Int. Cl. 5 識別記号 庁内整理番号 ⑬ 公開 平成4年(1992)6月19日
H 04 N 5/335 Q 8838-5C
E 8838-5C

審査請求 未請求 請求項の数 2 (全4頁)

⑭ 発明の名称 固体撮像装置

⑮ 特 願 平2-299930
⑯ 出 願 平2(1990)11月7日

⑰ 発明者 宇田川 善郎 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
⑱ 出願人 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
⑲ 代理人 弁理士 丹羽 宏之 外1名

明細書

1. 発明の名称

固体撮像装置

2. 特許請求の範囲

(1) 画像信号が水平画素列を順次選択することにより得られる固体撮像素子を有する固体撮像装置であって、照度に応じて、感光画素のリセットバルスタイミングの変更を行なうリセットバルスタイミング変更手段を備えたことを特徴とする固体撮像装置。

(2) リセットバルスタイミング変更手段は感光画素のリセットバルスタイミングをフィールド時間においてのみ変更し、かつ、前記リセットバルス幅を伸長することを特徴とする請求項1記載の固体撮像装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、固体撮像装置に関するものである。

(従来の技術)

従来、水平画素列を順次選択することによって画像信号を得る型式の撮像素子としては種々のものが知られている。最近、この型式として、FGA型(FLOATING-GATE-ARRAY)と呼ばれる増幅型撮像素子が提案されている。

以下、この従来例について第2図、第3図および第5図を用いて説明する。

第5図は前記FGA型増幅型撮像素子(以下FGA型素子といいます)の基本的構成図、第2図は第5図のFGA型素子の駆動タイミングチャートである。

第5図において、J-FET 1とキャバシタ2で構成された感光画素3は2次元的に複数個が配置された感光部(図示せず)の1画素を形成している。そして、垂直のアドレス線によって選択された1水平ラインにはV_Hバルスが加えられ読み出される。残りの水平ラインにはV_Lバルスが加えられる。また、第2図において、(a)は水平プランギング、(b)はアドレス、(c)はセン

ス線バイアス、(d) はリセットバルス V_H 、(e) は V_L 、(f) はクランプバルス ϕC_L 、(g) はサンプルホールドバルス ϕS_H 、(h) は ϕS_1 、 ϕS_2 のそれぞれのバルス駆動のタイミングを示している。

次にこの従来例の動作を第2図を中心にして説明する。

第2図において、水平プランギング期間に入るとき(第2図(a) 101)センス線バイアスがオン((c) 102)して読み出し可能状態となる。それと同時に、読み出し選択用のアドレス信号がその選択ライン($A D R = K$)を示す((b) 103)。選択されない他の水平ラインには V_L バルスがオフして((e) 104)他の水平ラインの画素はオフする。次にクランプバルス ϕC_L がオン((f) 105)、サンプルホールドバルス ϕS_H がオンして((g) 106)サンプルホールドキャッシュ C_{SH} (第5図)がリセットされる。次にリセットバルス((d) 107)がオンして電荷が消去され

る。アドレスバルスのみをアドレス(2)に変更し、読み出しが終了した後にただちにもう一度、同一画素列をリセットするものである。

もう1つの方法としては、 V_H バルスのみを V_H (2) に変更し読み出し動作のためのリセットのみを行い、電子シャッタのためのリセットバルスは発生させないという方法である。

このいすれの方法でも蓄積時間は $1/60$ 秒とすることができる。

一方、電子シャッタは絶りと組み合されて露光制御をつかさどるが、 $1/60$ 秒は種々の光量の中でも低照度下で設定される場合が多い。

F G A 型画素のみならず、フォトトランジスタを感光セルに用いた画素の欠点として画素のリセットむらの問題があることはよく知られている。そして、そのリセットむらは低照度下で F, P, N(固定バターンノイズ)となってあらわれ、画質を著しくそこねるという問題点があつた。

最近、種々検討した結果、リセットむらは画素

る。その後、サンプルホールドバルス ϕS_H が再びオンして((g) 108)その値が C_{SH} に貯えられる。次にアドレス信号は電子シャッタを実現すべく他のアドレスライン($A D R = L$)を示す((b) 109)。そして、そのラインの電荷をリセットバルス((d) 110)によって消去する。水平プランギング期間が終ると((a) 111)シフトレジスタが駆動され((h) 112)1水平信号として読み出される。

また、電子シャッタの時間割合は第4図に示すようにアドレス信号の選択、即ち、読み出しあドレス(2)とリセットアドレス(m)の差分の比によって行われる。

(発明が解決しようとする課題)

以上述べたような特性を持つ従来例の撮像素子をNTSC方式のビデオカメラに適用した場合、一般的に最長の蓄積時間は $1/60$ 秒であり、その場合の駆動バルスとしては第3図に示すような方法があった。すなわち、第2図のバルスのう

のリセット時間によって左右され、概して長いリセット時間の方がよりリセットむらが少ないという結果が得られている。

しかし、前述のようなりセットタイミングにおいては、いかなる照度下においてもリセット時間は変化しておらず、リセットむらに対しても有効な手段を講じることができずにいたという問題点があった。

この発明は上記のような問題点を解消するためになされたもので、何らのハード的付与を加えることなく、低照度下でのリセットむらのない固体撮像装置を得ることを目的とする。

(課題を解決するための手段)

このため、この発明の請求項1において、画像信号が水平画素列を順次選択してゆくことにより得られる固体撮像画素を有する固体撮像装置であって、照度に応じて、感光画素のリセットバルスタイミングの変更を行うリセットバルスタイミング変更手段を備えた固体撮像装置により、前記目的を達成しようとするものである。

特開平4-172880(3)

また、この発明の請求項2においては、リセットバルスタイミング変更手段は感光画素のリセットバルスタイミングをフィールド時間においてのみ変更し、かつ、前記リセットバルス幅を伸長する請求項1記載の固体撮像装置により、前記目的を達成しようとするものである。

(作用)

この発明の請求項1の固体撮像装置は、リセットバルスタイミング変更手段により、照度に応じて感光画素のリセットバルスタイミングの変更を行なう。

また、この発明の請求項2の固体撮像装置は、請求項1のリセットバルスタイミング変更手段により感光画素のリセットバルスタイミングをフィールド時間においてのみ変更し、かつ、前記リセットバルス幅を伸長する。

(実施例)

以下、この発明の一実施例を図面に基づいて説明する。

第1図はこの発明の一実施例の駆動を示すタイ

ミングチャートである。図中、前記従来例におけると同一、もしくは相当構成要素は同一符号で表わし、重複説明は省略する。

次にこの実施例を第1図を用いて説明する。

第1図において、Aはリセットバルスタイミング変更手段（以下タイミング変更手段という）であり、V_H(d)のリセットバルス107μsで構成され、照度に応じて、感光画素のリセットバルスタイミングの変更を行う手段（詳細後述）である。

この実施例と前記従来例の相違点は、前記のこの発明のタイミング変更手段Aであるこの実施例のV_Hパルス107μsのバルス幅をRS₁は前記従来例第2回のV_H(a)のバルス幅をRSの約3倍の時間を得ている点であり、その他の構成は前記従来例と同様である。

この実施例においては、低照度の場合、前記のようにリセット時間もRS₁を従来の7RSの3倍に長くして、画素のリセット動作を確実に行ない、リセットむらをなくしている。

(発明の効果)

この発明によれば、何らのハード的付与を加えることなく、低照度下でのリセットむらのない固体撮像装置を得ることができる効果がある。

4. 図面の簡単な説明

第1図はこの発明の一実施例の駆動タイミングチャート、第2図は従来例のFGA型素子のタイミングチャート、第3図は従来例のFGA型素子のタイミングチャート、第4図は従来例の電子シャッタの駆動の説明図、第5図は従来例のFGA型素子の基本的構成図である。

A ……タイミング変更手段

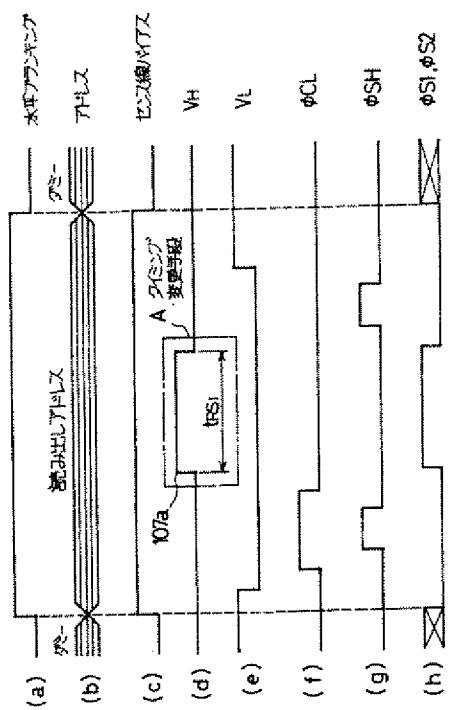
Y ……FGA型素子

1 ……J-FET

2 ……キャバシタ

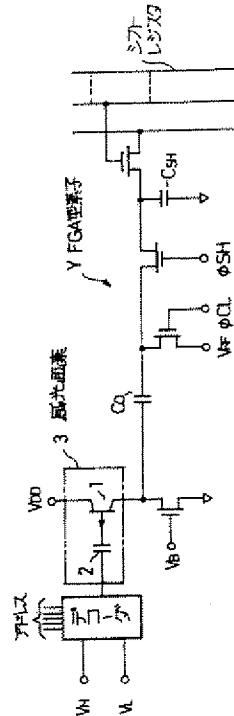
3 ……感光画素

出願人 キヤノン株式会社



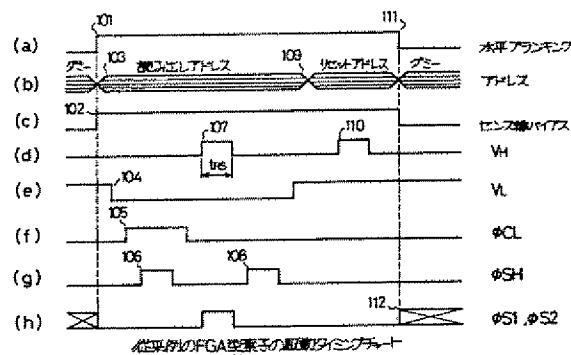
二〇〇〇年十一月四日

14



従来例のFGA型素子の基本的構成

四
五
端



作成例のPCA探索の累積カーラー

2 四

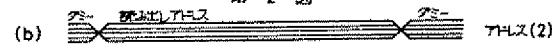


Figure 1. A schematic diagram of the stepped profile.

MRWHD



後半期の電子シャフト動作の検討

第 6 回